

Docket No.: K-0359

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Sang Jun CHOI

New U.S. Patent Application

Filed: December 19, 2001

For: CELL SWITCHING METHOD AND SYSTEM

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Assistant Commissioner of Patents
Washington, D. C. 20231

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Korean Patent Application No. P2000-78516, filed December 19, 2000.

A copy of each priority application listed above is enclosed.

Respectfully submitted,
FLESHNER & KIM, LLP

Daniel Y.J. Kim
Registration No. 36,186
David W. Ward
Registration No. 45,198

P. O. Box 221200
Chantilly, Virginia 20153-1200
703 502-9440

Date: December 19, 2001

DYK/DWW:cmd

#3 10/08/01 DB

JC978 U.S. PTO

10/021439



12/19/01

JC978 U.S. PRO

10/021439



대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 :
Application Number

특허출원 2000년 제 78516 호

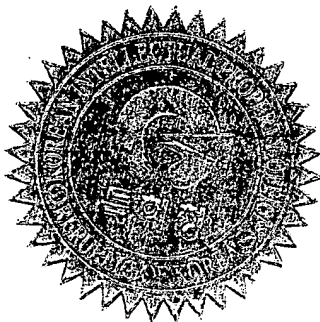
출원 년 월 일 :
Date of Application

2000년 12월 19일

출원 인 :
Applicant(s)

엘지전자 주식회사

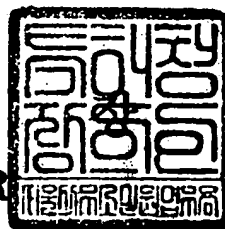
CERTIFIED COPY OF
PRIORITY DOCUMENT



2001 년 06 월 13 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2000.12.19
【국제특허분류】	H04B
【발명의 명칭】	입력 및 출력, 타임 큐(Queue)를 갖는 AAL2 스위치 방법 및 시스템
【발명의 영문명칭】	Method for switch having input, output and time queue in ATM Adaptation Layer 2 and system for the same
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-1998-000275-8
【대리인】	
【성명】	김용인
【대리인코드】	9-1998-000022-1
【포괄위임등록번호】	2000-005155-0
【대리인】	
【성명】	심창섭
【대리인코드】	9-1998-000279-9
【포괄위임등록번호】	2000-005154-2
【발명자】	
【성명의 국문표기】	최상준
【성명의 영문표기】	CHOI, Sang Jun
【주민등록번호】	680214-1120020
【우편번호】	431-088
【주소】	경기도 안양시 동안구 갈산동 1095-4
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김용인 (인) 대리인 심창섭 (인)

【수수료】

【기본출원료】	17	면	29,000	원
---------	----	---	--------	---

【가산출원료】	0	면	0	원
---------	---	---	---	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	4	항	237,000	원
---------	---	---	---------	---

【합계】	266,000	원		
------	---------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통			
--------	-------------------	--	--	--

【요약서】**【요약】**

본 발명은 차세대 이동통신 시스템에 관한 것으로, 특히 논 블로킹(Non Blocking)과 리얼타임 라우팅(Real-Time Routing), 확장성, 시험성을 고려하여 스위치의 성능을 향상시키고 테스트와 용량 확장이 용이하도록 하는 입력 및 출력, 타임 큐(Queue)를 갖는 AAL2 스위치 방법 및 시스템에 관한 것으로, 비동기 전송 모드 셀이 입/출력 FIFO부에 입력되는 단계와, 상기 입력된 비동기 전송 모드 셀이 어셈블리 프로세싱부에서 CPS 패킷으로 분리되는 단계와, 상기 분리된 CPS 패킷이 제1 기준값에 따라 입/출력 큐에 저장되고 상기 CPS 패킷이 저장된 입/출력 큐의 번호가 타임 큐에 저장되는 단계와, 상기 타임 큐에 저장된 상기 입/출력 큐 번호에 따라 CPS 패킷 스위칭부가 상기 입/출력 큐에 저장된 CPS 패킷을 읽는 단계와, 상기 CPS 패킷이 제2 기준값에 따라 입/출력 큐에 저장되고 이 입/출력 큐의 번호가 타임 큐에 저장되는 단계와, 리어셈블리 프로세싱부에서 상기 타임 큐에 저장된 출력 큐 번호의 CPS 패킷을 읽어 비동기 전송 모드 셀로 생성된 후 입/출력 FIFO부로 출력되는 단계로 구성된다.

【대표도】

도 2

【색인어】

AAL2 스위치

【명세서】

【발명의 명칭】

입력 및 출력, 타임 큐(Queue)를 갖는 AAL2 스위칭 방법 및 시스템{ Method for switch having input, output and time queue in ATM Adaptation Layer 2 and system for the same }

【도면의 간단한 설명】

도 1은 종래 기술에 따른 스위칭 시스템 구조를 나타내는 도면

도 2는 본 발명에 따른 스위칭 시스템 구성을 나타내는 도면

도 3a는 본 발명에 따른 AAL2 타입의 ATM 셀의 구성을 나타내는 도면

도 3b는 본 발명에 따른 AAL2 타입의 CPS 패킷의 구성을 나타내는 도면

도 3c는 본 발명에 따른 AAL2 타입의 프로세싱 과정을 나타내는 도면

도 4는 본 발명에 따른 다중의 CPS 라우터의 연결을 나타내는 도면

도 5a는 본 발명에 따른 가상 경로/가상 채널에 대한 입력 큐 값을 나타내는 도면

도 5b는 본 발명에 따른 가상 경로/가상 채널에 대한 출력 큐 값을 나타내는 도면

도 5c는 본 발명에 따른 AAL2 타입의 전송 과정을 나타내는 도면

도 6은 본 발명에 따른 스위칭 시스템 구조를 나타내는 도면

* 도면의 주요 부분에 대한 부호의 설명 *

100 : 제1 어셈블리/리어셈블리 프로세싱부

101 : 제2 어셈블리/리어셈블리 프로세싱부

200 : 제1 입/출력 큐

201 : 제2 입/출력 큐

301, 302 : 제1 타임 큐	300, 303 : 제2 타임 큐
400 : 중앙처리장치 인터페이스	500 : CPS 패킷 스위칭부
600 : CPS 패킷 라우터	700 : 제1 입/출력 FIFO부
800 : 제2 입/출력 FIFO부	

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<19> 본 발명은 차세대 이동통신 시스템에 관한 것으로, 특히 논 블로킹(Non Blocking)과 리얼타임 라우팅(Real-Time Routing), 확장성, 시험 가능성을 고려하여 스위치의 성능을 향상시키고 테스트와 용량 확장이 용이하도록 하는 입력 및 출력, 타임 큐(Queue)를 갖는 AAL2 스위치 방법에 관한 것이다.

<20> 도 1은 종래 기술에 따른 스위칭 시스템의 구조를 나타내는 도면이다.

<21> 상기 도 1을 참조하면, 크게 다중화된 AAL2 셀을 역다중화시키거나 다중화시키는 AAL2 수신/송신부(10)와, 상기 AAL2 셀을 53바이트 ATM 셀 변환 레벨로 스위칭하는 ATM 스위치(20)로 구성된다.

<22> 도 1의 구성에 따른 동작 설명은 다음과 같다.

<23> 현재까지 ATM 스위치는 AAL2 패킷을 따로 스위칭할 수 없었다.

<24> 그래서 상기 도 1에서와 같이 먼저 AAL2로 다중화된 셀이 AAL2 수신부(10)에 전송되어 역다중화된다.

<25> 상기 역다중화된 AAL2 셀은 ATM 레벨로 스위칭하기 위하여 AAL2 패킷을 53바이트

ATM 셀로 변환을 해줘야 한다.

<26> 이와 같은 변환은 상기 도 1의 AAL2 수신 및 송신부(10)와 ATM 스위치(20)사이의 내부 형식을 통해 이루어진다.

<27> 이렇게 ATM 셀로 변환된 패킷은 ATM 스위치에서 스위칭되며 상기 스위칭된 ATM 셀은 다시 AAL2 패킷으로 역변환되어 AAL2 송신부(10)에서 다중화가 수행된 후 원하는 목적지로 전송되어진다.

<28> 그러나, 도 1에서와 같이 패킷을 스위칭하기 위해 내부 형식으로 변환한 후에 스위칭을 수행한 후 다시 패킷으로 역변환해야 하는 복잡성이 있다.

<29> 상기 내부 형식은 여러 제조업체 나름대로 구현되어 호환성에 문제가 될 수 있으며 셀의 지연 전송 등 품질을 저하시키며 효율성을 저하하는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<30> 따라서, 본 발명의 목적은 이상에서 언급한 종래 기술의 문제점을 감안하여 안출한 것으로서, 논 블로킹(Non Blocking)과 리얼타임 라우팅(Real-Time Routing), 확장성, 시험성을 고려하여 스위치의 성능을 향상시키고 테스트와 용량 확장이 용이하도록 하는 입력 및 출력, 타임 큐(Queue)를 갖는 AAL2 스위치 방법을 제공하기 위한 것이다.

<31> 이상과 같은 목적을 달성하기 위한 본 발명의 일 특징에 따르면, 비동기 전송 모드 셀이 입/출력 FIFO부에 입력되는 단계와, 상기 입력된 비동기 전송 모드 셀이 어셈블리 프로세싱부에서 CPS 패킷으로 분리되는 단계와, 상기 분리된 CPS 패킷이 제1 기준값에 따라 입/출력 큐에 저장되고 상기 CPS 패킷이 저장된 입/출력 큐의 번호가 타임 큐에 저장되는 단계와, 상기 타임 큐에 저장된 상기 입/출력 큐 번호에 따라 CPS 패킷 스위칭부

가 상기 입/출력 큐에 저장된 CPS 패킷을 읽는 단계와, 상기 CPS 패킷이 제2 기준값에 따라 입/출력 큐에 저장되고 이 입/출력 큐의 번호가 타임 큐에 저장되는 단계와, 리어셈블리 프로세싱부에서 상기 타임 큐에 저장된 출력 큐 번호의 CPS 패킷을 읽어 비동기 전송 모드 셀로 생성된 후 입/출력 FIFO부로 출력되는 단계로 이루어진다.

<32> 본 발명의 다른 목적, 특징 및 이점들은 첨부한 도면을 참조한 실시예들의 상세한 설명을 통해 명백해질 것이다.

【발명의 구성 및 작용】

<33> 이하 본 발명의 바람직한 일 실시 예에 따른 구성 및 작용을 첨부된 도면을 참조하여 설명한다.

<34> 도 2는 본 발명에 따른 스위칭 시스템 구조를 나타내는 도면이다.

<35> 상기 도 2를 참조하면, 제1, 제2 입/출력 FIFO부(700,800)에서 가상 경로/가상 채널을 갖는 AAL2 타입의 ATM 셀에서 복수개의 입/출력 큐(200,201)의 임의의 입력 큐에 CPS 패킷을 저장하거나, CPS 패킷 스위칭부에서 전송되어 복수개의 입/출력 큐(200,201)의 임의의 출력 큐에 저장된 CPS 패킷이 입력되면, 입력된 상기 CPS 패킷에 AAL2 타입의 ATM 셀에 덧붙이는 제1 어셈블리/리어셈블리 프로세싱부(100)와 제2 어셈블리/리어셈블리 프로세싱부(101)와, 상기 제1 입/출력 큐(200)에서 CPS 패킷을 읽어 가상 경로/가상 채널 값을 참조하여 제2 입/출력 큐(201)에 저장하거나, 제2 입/출력 큐(201)에서 출력된 CPS 패킷에 가상 경로/가상 채널 값을 포함하여 제1 입/출력 큐(200)에 저장하는 CPS 패킷 스위칭부(500)와, CPS 패킷이 저장되는 제1 입/출력 큐(200)와 제2 입/출력 큐(201)와, CPS 패킷을 중앙처리장치와 송수신이 가능하도록 하는 중앙처리장치 인터페이

스(400)와, 입/출력 큐의 번호를 저장하는 제1 타임 큐(301,302)와 제2 타임 큐(300,303)와, 다른 CPS 패킷 라우터와 연결되고 각 AAL2 스위치 사이의 CPS 패킷 스위칭을 담당하는 CPS 패킷 라우터 인터페이스(600)와, AAL2 타입의 ATM 셀이 입출력되는 제1 입/출력 FIFO부(First In First Out)(700)와 제2 입/출력 FIFO부(800)로 구성된다.

<36> 도 2의 구성에 따른 동작 설명은 다음과 같다.

<37> 도 3a에서와 같은 각기 다른 가상 경로/가상 채널을 갖는 AAL2 타입의 ATM셀이 AAL2 리 어셈블리 프로세싱부(100)로 입력되면 도 3b의 AAL2 타입의 CPS 패킷 형식을 참조하여 CPS 패킷을 분리하고 도 5a의 제1 기준값을 참조하여 이를 각각의 가상 경로/가상 채널에 해당되는 입력 큐(200)에 분리된 패킷이 저장된다.

<38> 상기 도 3a는 AAL2 타입의 ATM 셀을 나타내며 도 3b는 AAL2 타입의 ATM 셀의 CPS 패킷의 형태를 나타내는 도면인데, CID(Channel Identifier)는 채널 식별자를 나타내며 LI(Length Indicator)는 페이로드에 실린 데이터의 식별 정보를 나타낸다,

<39> 또한 UII(User to User Indication)는 사용자간 식별 정보를 나타내며, HEC(Header Error Control)은 헤더 에러 제어를 나타낸다.

<40> 즉, 상기 AAL2 타입의 ATM 셀의 CPS 패킷은 상기 CID와 LI와 UII와 HEC를 포함하는 패킷 헤더 부분과 CPS 정보를 포함하는 패킷 페이로드로 구성되어 있다.

<41> 상기 가상 경로가 1이고 가상 채널이 2인 AAL2 타입의 ATM 셀과 가상 경로가 1이고 가상 채널이 3인 AAL2 타입의 ATM 셀이 입력 FIFO부(700)를 통해 입력된다고 할 때 상기 입력 FIFO부(700)에 먼저 가상 경로가 1이고 가상 채널이 2인 AAL2 타입의 ATM 셀이 먼저 입력되었다면 도 3b에서와 같이 CPS 패킷을 분리하고 도 5a의 제1 기준값을 참조하여

상기 가상 경로가 1이고 가상 채널이 2인 AAL2 타입의 ATM 셀의 상기 CPS 패킷을 입력 큐(200) 1번에 저장하고 제1 타임 큐(302)에는 상기 입력 큐(200) 번호 1이 저장된다.

<42> 그리고 이어서 가상 경로가 1이고 가상 채널이 3인 AAL2 타입의 ATM 셀이 입력되면 도 3b에서와 같이 CPS 패킷을 분리하고 상기과 마찬가지로 도 5a의 제1 기준값을 참조하여 상기 가상 경로가 1이고 가상 채널이 3인 AAL2 타입의 ATM 셀의 상기 CPS 패킷을 입력 큐(200) 7번에 저장하고 제1 타임 큐(302)에는 상기 입력 큐(200) 번호 7이 저장된다.

<43> 그리고 상기 제1 타임 큐(302)에 한 개의 큐 번호가 저장되는 즉시 CPS 패킷 스위칭부(500)에서는 상기 제1 타이핑 큐(302)에 있는 큐 번호를 읽어 해당 큐에 들어 있는 CPS 패킷을 읽어 스위칭 작업을 실행한다.

<44> 즉, 상기 제1 타임 큐(302)는 상기 CPS 패킷 스위칭 부에게 어셈블리/리어셈블리 프로세싱부(100)에서 저장된 입력 큐들 중에서 상기 큐들에 저장된 CPS 패킷의 처리 순서를 결정하게 된다.

<45> 상기처럼 제1 타임 큐(302)를 이용하여 CPS 패킷이 분리되는 순서대로 처리할 수 있으며 또한 상기 순서에 따라 바로 처리할 수 있다.

<46> 상기 CPS 패킷 스위칭 부(500)는 입력 큐(200)에서 CPS 패킷을 읽어 들인 후 도 5b의 제2 기준값을 참조하여 해당되는 출력 큐(201)에 저장된다.

<47> 즉 상기 도 5b의 제2 기준값에서 가상 경로가 1이고 가상 채널이 2인 AAL2 타입의 ATM 셀에서 분리된 채널 식별자(Channel Identifier) 3을 가지는 CPS 패킷을 채널 식별자 7로 바꾼 다음 출력 큐(201) 번호 3에 저장한다.

- <48> 그리고 상기 도 5b의 제2 기준값에서 가상 경로가 1이고 가상 채널이 2인 AAL2 타입의 ATM 셀에서 분리된 채널 식별자 5를 가지는 CPS 패킷은 채널 식별자 3으로 바꾼 다음 출력 큐(201) 번호 1에 저장한다.
- <49> 상기와 마찬가지로 CPS 패킷 스위칭부(500)에서 출력 큐(201)에 저장할 경우도 상기 출력 큐(201)에 CPS 패킷을 저장한 다음 제2 타임 큐(303)에 해당하는 큐 번호를 저장한다.
- <50> 상기 출력 큐(201)에 CPS 패킷이 저장되면 어셈블리 프로세싱부(101)는 제2 타임 큐(303)를 읽어 해당 큐를 알아낸 다음 CPS 패킷을 읽어서 AAL2 타입의 ATM 셀로 만든 다음 출력 FIFO부(800)에 저장한다.
- <51> 또한 테스트를 위해서 입력된 CPS 패킷을 다시 원래대로 돌려줄 수 있다.
- <52> 즉 가상 경로가 3이고 가상 채널이 4인 AAL2 타입의 ATM 셀에 채널 식별자 3을 가지는 CPS 패킷이 들어온 다음에 상기 CPS 패킷 스위칭부(500)에서 가상 경로가 3이고 가상 채널이 4인 AAL2 타입의 ATM 셀에 다시 실어서 보낼 수 있다.
- <53> 또한 중앙처리장치 인터페이스를 제공하여 CPS 패킷을 상기 중앙처리장치와 송수신할 수 있도록 함으로써 테스트나 시그널링(signaling) 또는 ATM 터미널(terminal)에서 AAL2 타입의 한 종단으로 사용할 수 있다.
- <54> 그리고 도 4에서 보는 바와 같이 AAL2 스위치의 확장성을 고려하여 CPS 패킷 라우터 인터페이스(600)를 두어 그 스위치에서 처리될 수 없는 CPS 패킷이 상기 CPS 패킷 라우터(600)를 통해 다른 AAL2 스위치로 보내져 스위칭이 되도록 한다.
- <55> 도 6은 본 발명에 따른 스위치 시스템의 구조를 나타내는 도면이다.

<56> 상기 도 6에서 알 수 있듯이 AAL셀이 AAL2 스위칭이 된 후 53 바이트 ATM 셀로 변환되어 원하는 목적지로 전송되어진다.

【발명의 효과】

<57> 이상의 설명에서와 같이 본 발명을 통한 입력 및 출력, 타임 큐(Queue)를 갖는 AAL2 스위치 방법은 AAL2 스위칭이 가능함으로써 상기 시스템의 ATM 스위치에 걸리는 트래픽을 줄이고 AAL2 스위치 내에 루프 백 경로(Loop Back Path)를 두고 중앙처리장치 인터페이스를 설치하여 테스트가 용이하며 CPS 패킷 라우터를 통한 확장성을 제공하여 AAL2 스위치의 용량 확장이 용이하도록 하여 전체 시스템의 성능을 향상시키는 효과가 있다.

<58> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.

<59> 따라서, 본 발명의 기술적 범위는 실시예에 기재된 내용으로 한정하는 것이 아니라 특허 청구 범위에 의해서 정해져야 한다.

【특허청구범위】**【청구항 1】**

비동기 전송 모드 셀이 입/출력 FIFO부에 입력되는 단계와;

상기 입력된 비동기 전송 모드 셀이 어셈블리 프로세싱부에서 CPS 패킷으로 분리되는 단계와;

상기 분리된 CPS 패킷이 제1 기준값에 따라 입/출력 큐에 저장되고 상기 CPS 패킷이 저장된 입/출력 큐의 번호가 타임 큐에 저장되는 단계와;

상기 타임 큐에 저장된 상기 입/출력 큐 번호에 따라 CPS 패킷 스위칭부가 상기 입/출력 큐에 저장된 CPS 패킷을 읽는 단계와;

상기 CPS 패킷이 제2 기준값에 따라 입/출력 큐에 저장되고 이 입/출력 큐의 번호가 타임 큐에 저장되는 단계와;

리어셈블리 프로세싱부에서 상기 타임 큐에 저장된 출력 큐 번호의 CPS 패킷을 읽어 비동기 전송 모드 셀로 생성된 후 입/출력 FIFO부로 출력되는 단계로 구성되는 것을 특징으로 하는 입력 및 출력, 타임 큐를 갖는 비동기 전송 모드 적응 2 계층 스위치 방법.

【청구항 2】

제 1 항에 있어서, 상기 입력된 비동기 전송 모드 셀이 어셈블리 프로세싱부에서 CPS 패킷으로 분리되는 단계는,

상기 CPS 패킷은 식별자와 페이로드에 실린 데이터의 길이 정보와 사용자간 정보와 헤더 에러 제어를 포함하는 CPS 패킷 헤더와 CPS 정보를 포함하는 CPS 패킷 레이로드

구성됨을 특징으로 하는 입력 및 출력, 타임 큐를 갖는 비동기 전송 모드 적응 2 계층 스위치 방법.

【청구항 3】

비동기 전송 모드 적응 2 계층 타입의 비동기 전송 모드 셀을 입력하거나 출력하는 제1 입/출력 FIFO부 또는 제2 입/출력 FIFO부와;

상기 입력 FIFO부로 입력된 비동기 전송 모드 셀에서 CPS 패킷을 분리하거나 상기 출력 FIFO부에서 출력된 비동기 전송 모드 셀에 CPS 패킷을 첨부하는 비동기 전송 모드 적응 2 계층 셀 어셈블리/리 어셈블리 프로세싱부와;

상기 셀 어셈블리 프로세싱부에서 분리된 CPS 패킷을 저장하거나 상기 리 어셈블리 프로세싱부에서 첨부되는 CPS 패킷을 저장하는 입력 또는 출력 큐와;

상기 CPS 패킷과 중앙처리장치 사이에서 송수신을 수행하는 중앙처리장치 인터페이스와;

상기 CPS 패킷이 저장되는 입력 또는 출력 큐의 번호를 저장하는 타임 큐와;

서로 다른 비동기 전송 모드 적응 2 계층 스위치 사이의 CPS 패킷 스위칭을 담당하는 CPS 패킷 라우터 인터페이스로 구성되는 것을 특징으로 하는 입력 및 출력, 타임 큐를 갖는 비동기 전송 모드 적응 2 계층 스위치 시스템.

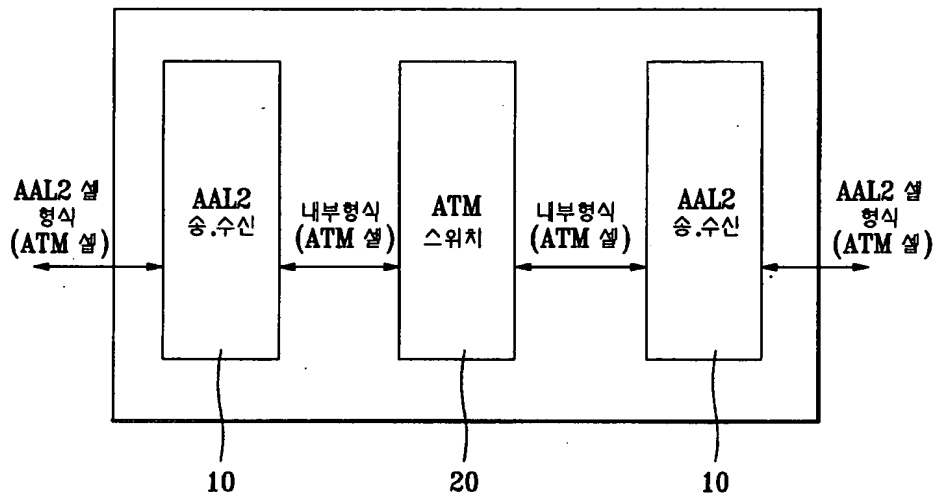
【청구항 4】

제 3 항에 있어서, 상기 CPS 패킷은 채널 식별자와, 페이로드에 실린 데이터의 식별 정보, 사용자간 식별 정보와 헤더 에러 제어로 구성된 패킷 헤더부와;

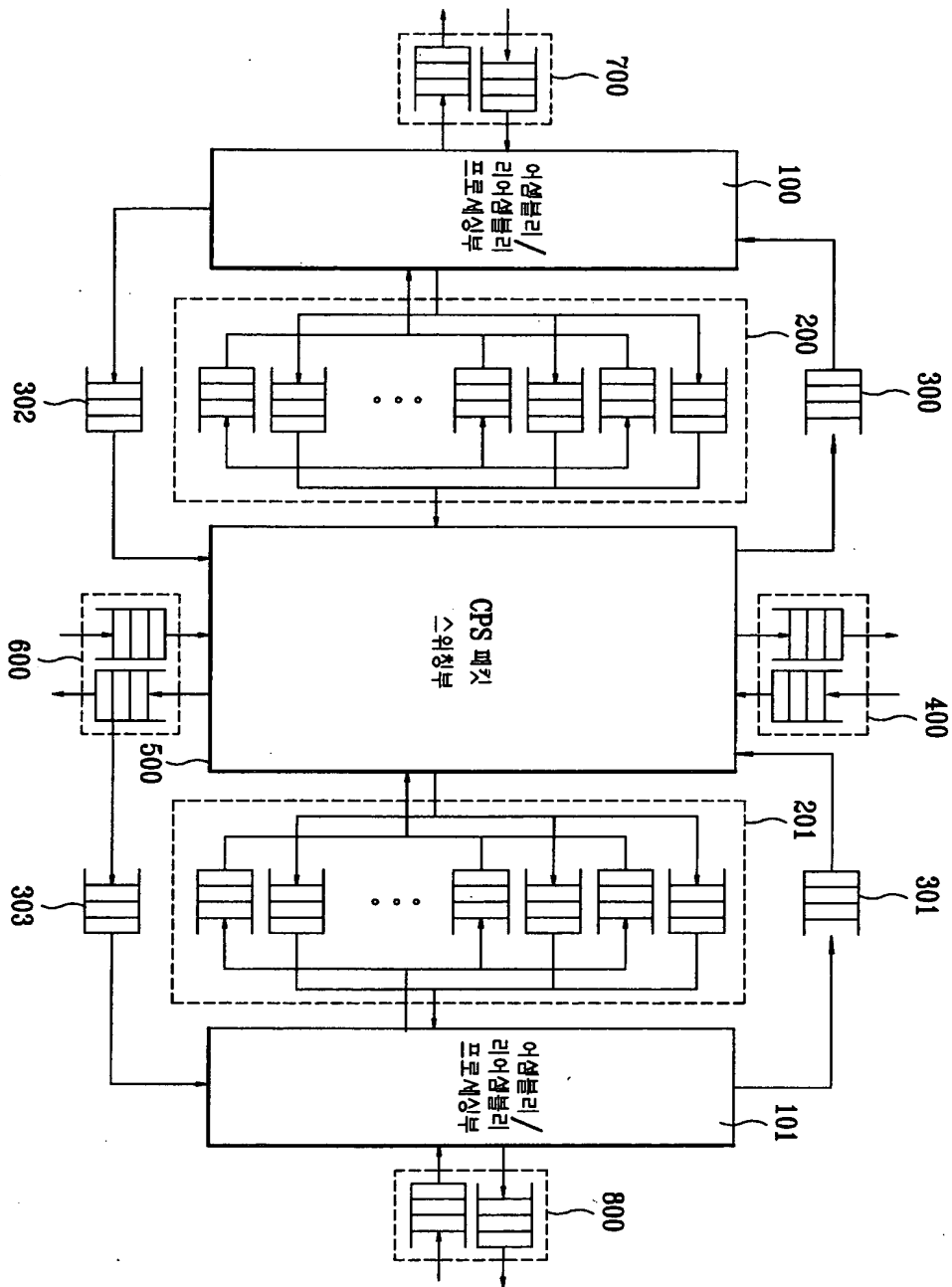
정보를 싣는 패킷 페이로드로 구성되는 것을 특징으로 하는 입력 및 출력, 타임 큐
를 갖는 비동기 전송 모드 적응 2 계층 스위치 시스템.

【도면】

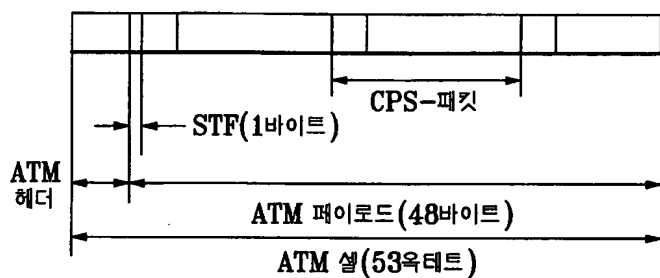
【도 1】



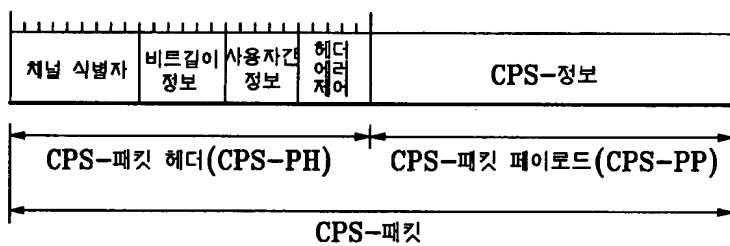
【도 2】



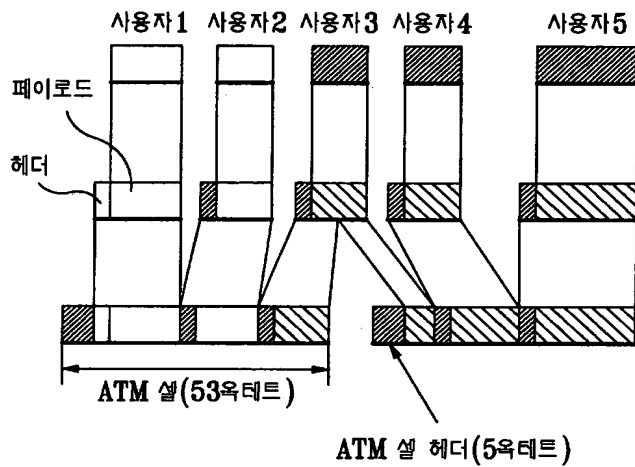
【도 3a】



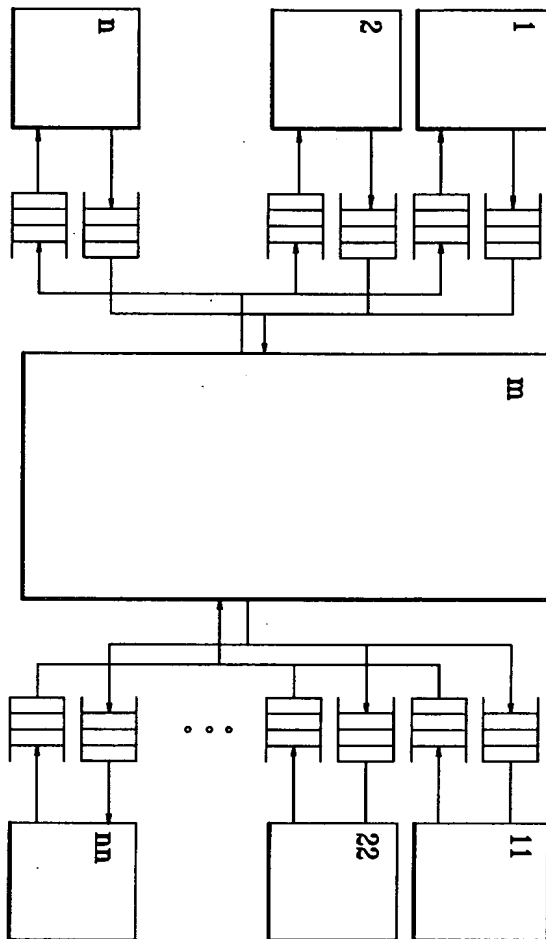
【도 3b】



【도 3c】



【도 4】



【도 5】

가상 경로/ 가상 채널	입력큐번호
1/2	1
1/3	7

(a)

가상 경로/ 가상 채널	채널 식별자	채널 식별자	출력큐번호
1/2	3	7	3
1/2	5	3	1

(b)

【도 6】

